

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-127210

(43)Date of publication of application : 28.04.1992

(51)Int.Cl.

G06F 1/04

(21)Application number : 02-247133

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.09.1990

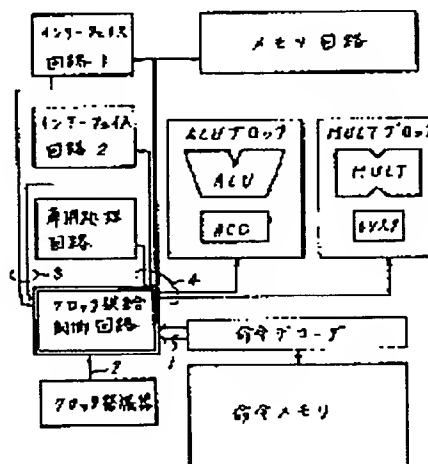
(72)Inventor : MIYAMOTO MASABUMI
TONOMURA MOTONOBU
HANAWA MAKOTO
SEKI KOICHI

(54) PROCESSOR OF LOW POWER CONSUMPTION

(57)Abstract:

PURPOSE: To reduce the power consumption by providing a control circuit which decides the code of an instruction program for discrimination of a circuit block related to the operation of the processor and supplies the clock to the discriminated circuit block only.

CONSTITUTION: A processor circuit is divided into six block, i.e., an ALU, a MULT (multiplier), a memory circuit, and exclusive processing circuit, and the interface circuits 1 and 2. A clock supply control circuit is actuated with a signal 1 which controls produced by an instruction decoder and controls the supply of clocks to each circuit block. Then the clocks are supplied to the operating circuit block only for actuation of them. When a program is set in an input waiting state, the clock is supplied to an interface circuit only. Then, a control signal 3 is sent to a clock supply control circuit with reception of the input, and the supply of the clock is started to the circuit block which is already decoded and requires the clock. Thus, no circuit performs the useless switching actions due to the clocks. Then the power consumption is reduced for the processor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-127210

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月28日

G 06 F 1/04

3 0 1 C

7368-5B

審査請求 未請求 請求項の数 5 (全5頁)

⑮ 発明の名称 低消費電力プロセッサ

⑯ 特 願 平2-247133

⑰ 出 願 平2(1990)9月19日

⑱ 発 明 者	宮 本	正 文	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者	外 村	元 伸	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者	花 輪	誠	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者	関	浩 一	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 出 願 人	株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地		
⑳ 代 理 人	弁理士 小川 勝男 外1名		

明 細 書

1. 発明の名称

低消費電力プロセッサ

2. 特許請求の範囲

1. 命令プログラムを実行するプロセッサにおいて、命令プログラムの実行に関与する回路を判別し、前記命令プログラムの実行に関与する回路のみにクロックを供給する制御回路を設けたことを特徴とするプロセッサ。

2. 請求範囲第1項のプロセッサにおいて、入力待ち状態時には、インターフェイスのみにクロックを供給し、入力信号が入ったときに他の回路にクロックの供給を開始する制御回路を設けたことを特長とするプロセッサ。

3. 2つ以上の演算器からなるプロセッサにおいて、各演算器の演算時のみに各プロセッサユニットにクロックを供給する制御回路を設けたことを特徴とするプロセッサ。

4. 請求範囲第1項から第3項のプロセッサにおいて、命令コードの中に、クロックの供給を制

御する専用ビットを設け、これにより各回路へのクロック供給を制御する回路を設けたことを特徴とするプロセッサ。

5. 請求範囲第1項から第3項のプロセッサにおいて、クロック供給を制御される回路内のレジスタをスタティック構成にすることを特徴とするプロセッサ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は命令プログラムを実行するプロセッサに係わり、特にポータブル用などの電池動作で低消費電力化が必要なプロセッサに関する。

〔従来の技術〕

プロセッサの低消費電力化について対策した例として、特開平1-206422号公報に述べられているように、入力信号の有無により、演算回路に印加する電源電圧を変化させるものがある。すなわち、入出力回路のみで処理が可能で、演算回路を動作させる必要のないときは、電源電圧を低くして消費電力を抑えようとするものである。消費電

力は電源電圧の2乗にほぼ比例するので低消費電力化に有効である。

また、特開昭63-30920号に述べられているように、消費電力によるモードの切替を設け、低消費電力モード時にはクロックの周波数を下げて全体の消費電力を抑えるものもある。この方式は、演算速度も低消費電力モード時に遅くなるが、消費電力はクロック周波数にほぼ比例して減少する。これと類似して、スリープモード等のモード切替を設けて、スリープモードの時にはインターフェイス回路のみ動作し、他のクロックを停止するプロセッサもある。この方式は、動作モードでは消費電力は変化しないが、スリープモードでは1桁程度消費電力を低減できる。

〔発明が解決しようとする課題〕

従来のプロセッサでは、低消費電力動作のときに電源電圧を低下させるのみで、クロックは定常的に供給していた。すると、電源電圧の低下により消費電力は減少するが、クロックによる無駄なスイッチングは残るため、無駄な電力を消費する。

めの立ち上げに時間がかかるという問題点があった。また、動作モードの時の消費電力はまったく低減できないという問題点もあった。

本発明の目的は、命令プログラムの実行に関与する回路ブロックにのみクロックを供給する制御回路を設けることにより、従来にない低消費電力化を可能にすることである。

〔課題を解決するための手段〕

上記目的は、命令プログラムのコードをデコードして、動作に関与する回路ブロックを判別し、これにより、動作に関与する回路ブロックのみにクロックを供給する制御回路を設けることにより達成される。

通常、低消費電力用プロセッサにはCMOS回路が用いられる。この回路は、スイッチングしなければ、電源電圧とは無関係に、電力をほとんど消費しない特長がある。従って、使用しない回路ブロックへのクロックの供給を停止すれば、そのブロックでは電力をほとんど消費しない。また、命令コードをデコードすることにより、使用する

従って、電源電圧を低下させても、十分な低消費電力化は得られないという問題点があった。

一方、半導体集積回路の大集積化が可能になるに伴い、プロセッサの中に多様な機能が組み込まれるようになっていく。デジタルフィルタ、A/D変換器などの専用回路、乗算器、アドレス専用演算器、さらには主演算器自体が複数個存在する並列演算器も可能になっている。このような大規模プロセッサの低消費電力化には、入力の有無のみで制御するのでは不十分であり、もっと木目の細かい制御が必要となる。

また、プロセッサ全体のクロックの周波数を低くすることは、とりも直さず演算速度の低下を意味するので、高速化と相反するという問題点がある。

モード切替はスリープモード時には大きく消費電力が減少するが、その命令は、外部信号かプログラム上の命令でなければならず、1命令ごとの細かい制御はできない。さらに、プロセッサ全体がスリープモードに入るため、次の処理に入るた

回路ブロックを細かく判別できるため、使用しない回路ブロックに無駄なクロックを供給し、消費電力を増加させることもない。

〔作用〕

まず命令コードをデコードすることにより、次のマシンサイクルでどの回路ブロックが動作するかが判明し、これから各ブロックへのクロック供給を制御する信号を作る。この制御信号により、クロック制御回路を制御して、動作する回路ブロックにのみクロックを供給する。これにより、クロックによる無駄なスイッチングをする回路がなくなり、低消費電力化が図れる。

〔実施例〕

以下に、本発明の実施例を図面を用いて説明する。第1図は本発明の第1の実施例を示すブロック図である。ここでは、プロセッサの回路ブロックをALU、MULT(乗算器)、メモリ回路、専用処理回路、インターフェイス回路1、2の6ブロックに分けている。命令デコーダで発生する各回路ブロックへのクロックの供給を制御する信

号1によりクロック供給制御回路が動作する。これにより動作する回路ブロックのみにクロックが供給されて動作する。他の回路ブロックはクロックが供給されないため、CMOS回路の特徴としてほとんど電力を消費しない。各ブロック内のレジスタはスタティック構成にして、クロック停止時にもデータを保持するように注意する必要がある。プログラムが入力待ち状態になったときには、インターフェイス回路のみにクロックを供給し、入力が入った時にクロック供給制御回路に制御信号3を送る。この制御信号により、すでにデコードされているクロックの必要な回路ブロックへクロック供給が開始される。

命令コードの構造の例を第2図に示す。命令コードは通常このように各演算に必要な動作を演算器、メモリ等の回路ブロックごとにビットが分けられており、各ブロックごとの動作がコードになっている。従って、各回路ブロックの動作に対応するビットをデコードすることにより、クロック制御信号が得られる。例えば、ALUや乗算器に

関しては、NOP(何もしない)命令のときは、クロックを供給しない。メモリに関しては、読み書きの命令が無いときはクロックを供給しない。I/O(インターフェイス)回路は外部からのデータを取り込まず、出力もしないときにはクロックを供給しない。このように、命令コードをデコードすれば、どこが動作するかは自明である。第3図は命令コードのデコードを簡略化するため、命令コードにクロック制御用の専用ビットを設けた例である。これにより、クロック専用でデコードをせずに直接クロックを制御できる。

クロック供給制御回路の実施例を第4図に示す。インターフェイス回路からの制御信号3は、通常はハイレベルであり、入力待ち状態でローレベルにセットされる。入力が入るとこの制御信号がハイレベルに変化して、命令デコーダからの制御信号にしたがって、クロックが各回路ブロックへ供給される。クロック供給停止時には、クロック信号線はハイレベルかローレベルの設計時に定めたいずれか一方に固定する必要がある。すなわち、

各回路ブロックにクロック信号線を通して中間電位が供給されると、CMOS回路に貫通電流が流れのを防止するためである。

本発明を並列演算器に適用した例を図5に示す。このように演算器が多数ある場合でも、命令プログラムに従ってクロックの供給を制御することにより、動作していないプロセッサユニットに無駄なクロックを供給することが無く、従って無駄な電力消費もなくなることができる。また、並列演算器の場合はジョブの分割により、各演算器の処理時間が異なるのが通常である。この時、早く処理が終わった演算器は処理終了の制御信号をクロック制御回路に送り、クロックの供給を止める。各演算器の処理結果が揃うまでの間、無駄な消費電力を無くすることができる。

〔発明の効果〕

本発明によれば、プログラム命令実行に関与しない回路ブロックにはクロックを供給しないので、その回路ブロックの消費電力はほぼゼロとなり、無駄な消費電力を低減することができる。また、

1命令ごとに実行に関与する回路ブロックを判断してクロックの供給を制御しているので、木目の細かい制御が可能となり、消費電力の低減も大きくなる。さらに、モード切替時のような次の処理までの立ち上げ時間も不要である。動作状態にありながら、消費電力を最大限に低減することが可能になる。

CMOSの1 μ m技術を用い、電源電圧5V、マシンサイクル20MHzの32ビットマイコンに本発明を用いた場合と従来例の消費電力の比較を表1に示す。このマイコンの最大の消費電力は2Wであり、その内訳はALUで30%、キャッシュメモリで30%、インターフェイス回路で30%、デコーダで10%である。従来例でもNOP命令(何の処理もしない)ではALUの演算が行なわれず、インターフェイス回路も用いていないが、ALU、インターフェイス回路にもクロックは供給されているので、動作時の約1/2の電力を消費している。従ってNOP命令でも全体の消費電力は30%程度しか減少しない。本発

明では、NOP命令でキャッシュメモリをアクセスしてデコードした後は、他の回路はクロックの供給を停止して完全に停止するので、全体の消費電力は約60%減少する。

メモリから2つのデータを読みだして、加算して、外部に出力するプログラムを行なったときの本発明の消費電力をは、従来例よりも約2割低減する。これは、各マシンサイクルごとに実行される命令で使用されない回路ブロックが存在するためである。本発明では、デコードとキャッシュメモリは常に使用するが(全消費電力の40%)、データの読みだしにはALUが関与しないので消費電力は全消費電力の70%、加算時にはインターフェイスが関与しないので70%、外部に出力するときはALUが関与しないので70%、従って、平均としても全消費電力の70%の消費電力となる。従来例ではクロックが供給されるため、使わない回路でも動作時の約1/2の電力を消費するため、加算時の消費電力は全消費電力の85%程度なる。

御信号、7…メモリ部クロック制御信号、8…インターフェイス(I/O)部クロック制御信号、9…専用処理回路部クロック制御信号、10…ALU部クロック制御用ビット、11…MULT部クロック制御用ビット、12…メモリ部クロック制御用ビット、13…各演算器からの処理終了信号。

代理人 井理士 小川勝男

表1 本発明による消費電力の低減

実行処理	消費電力	
	本発明	従来例
NOP	0.8W	1.4W
加算(本文参照)	1.4W	1.7W

4. 図面の簡単な説明

第1図は本発明の第1の実施例のブロックダイアグラムを示す。

第2図は命令コードをデコードしてクロック制御信号を発生させる原理を示す。

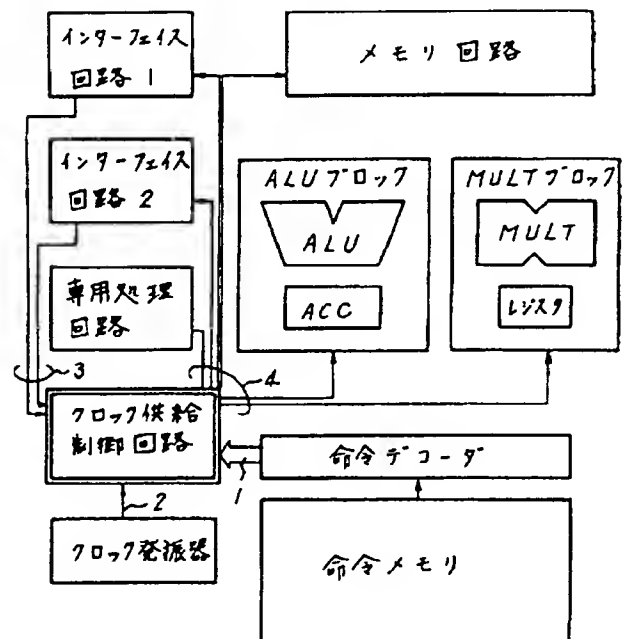
第3図は命令コードにクロック専用のビットを設けた例を示す。

第4図はクロック供給制御回路の実施例を示す。

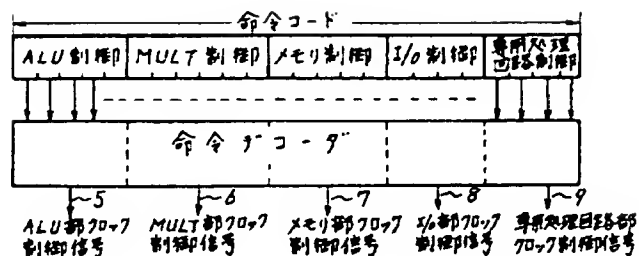
第5図は本発明を並列演算器に適用した第2の実施例を示す。

1…クロック制御信号、2…クロック信号、3…入力信号によるクロック制御信号、4…各回路ブロックへのクロック信号、5…ALU部クロック制御信号、6…MULT(乗算器)部クロック制

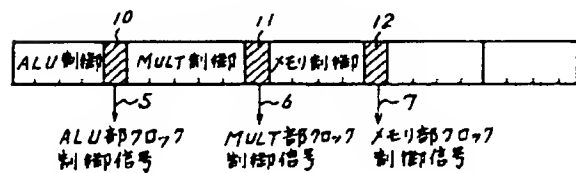
第1図



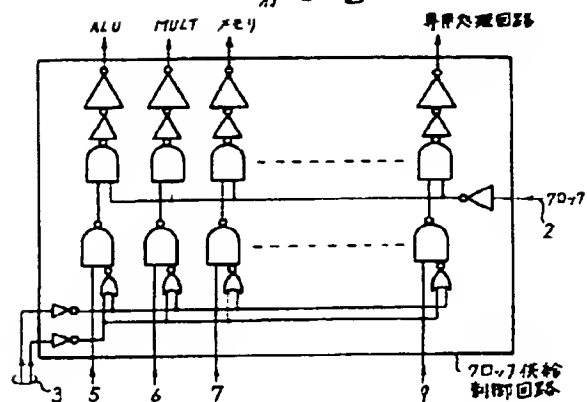
第 2 図



第 3 図



第 4 図



第 5 図

